

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58043554 A**

(43) Date of publication of application: **14 . 03 . 83**

(51) Int. Cl  
**H01L 25/04**  
**H01L 21/60**  
**// H01L 21/92**  
**H01L 27/12**

(21) Application number: **56141985**

(22) Date of filing: **08 . 09 . 81**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **SHIBATA HIROSHI**  
**NAKADA HIDEFUMI**

(54) **SEMICONDUCTOR DEVICE**

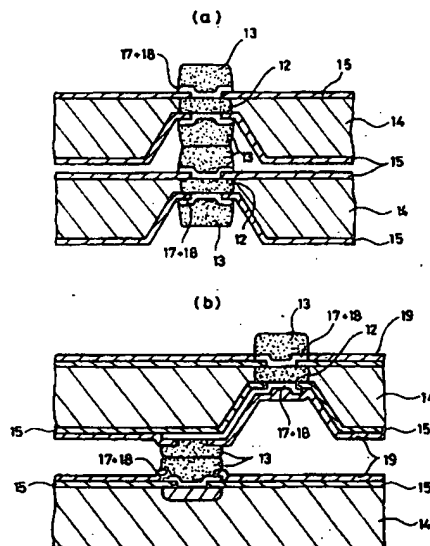
stacked.

(57) Abstract:

COPYRIGHT: (C)1983,JPO&Japio

PURPOSE: To obtain a semiconductor device having realized high integration density per unit area by stacking semiconductor substrates in three dimensions.

CONSTITUTION: A partially thin region is formed by executing the silicon etching from the rear surface of a silicon substrate 14 in the area where a conductive path is formed and the diffusion is suppressed by making thinner the conductive path 12 of the diffusion layer. Bumps are formed in both ends of the conductive path passing therethrough, the chips of the silicon substrates 14 of the upper and lower layers are electrically connected, the conductive path passing through the depth direction is formed on a semiconductor substrate, and a bump 13 is formed thereon. Thereby, the semiconductor substrates can be connected mutually even when the N sheets of semiconductor substrates are stacked. Accordingly, the wiring length becomes short and the floating capacitance can be lowered, high speed operation can be realized. Test can be done in the stage of a chip and as a result, high quality can be maintained even when the N sheets of substrates are



⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—43554

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)3月14日

H 01 L 25/04

7638—5 F

21/60

6819—5 F

// H 01 L 21/92

7638—5 F

27/12

8122—5 F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑯ 特 願 昭56—141985

⑰ 出 願 昭56(1981)9月8日

⑱ 発 明 者 柴田浩

伊丹市瑞原4丁目1番地三菱電  
機株式会社エル・エス・アイ研  
究所内

⑲ 発 明 者 中田秀文

伊丹市瑞原4丁目1番地三菱電  
機株式会社エル・エス・アイ研  
究所内

⑳ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2  
番3号

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板の深さ方向に、この半導体基板を貫通する拡散層の電導経路を形成し、上下方向に積層した半導体基板の所定導体間を前記電導経路によつて電気的に接続し、半導体基板を三次元的に積み重ねたことを特徴とする半導体装置。

3. 発明の詳細な説明

この発明は機能素子を3次元的に積み重ねて、単位面積当りの集積度を高密度化することができる半導体装置に関するものである。

第1図は従来の半導体装置を示す断面側面図である。同図において、(1)はセラミック基板あるいはプラスチックパッケージ、(2)はこのセラミック基板あるいはプラスチックパッケージ(1)上に形成したメモリあるいは論理回路を形成したチップ、(3)は内部リード、(4)はチップ(2)に形成した図示せぬアルミニウムなどの電極パッドと内部リード(3)

とを接続する金線あるいはアルミニウム線などの接続リード、(5)は前記内部リード(3)に接続する外部リード、(6)は封着蓋である。

このように、従来の半導体装置では1チップを1セラミック容器あるいは1プラスチックパッケージ内に収納するものである。そこで、多数のチップを一枚のセラミックモジュールなどに収納して実装密度を上げる方法も実用化されている。しかし、この方法は平面上に、できるだけ多く密に配列して実装密度を上げるものであるため、その高密度化に限度がある欠点があつた。

したがつて、この発明の目的は半導体基板を三次元的に積層して、単位面積当りの集積度を高密度化する半導体装置を提供するものである。

このような目的を達成するため、この発明は半導体基板の深さ方向に、この半導体基板を貫通する拡散層の電導経路を形成し、上下方向に積層した半導体基板の所定導体間を前記電導経路によつて電気的に接続するものであり、以下実施例を用いて詳細に説明する。

第2図はこの発明に係る半導体装置の一実施例を示す概略断面図である。同図において、(7)はセラミック基板、(8)はこのセラミック基板(7)に形成したスルーホール、(9)はこのスルーホール(8)に接続し、前記セラミック基板(7)に固着した外部リード線、(10)はこのスルーホール(8)に接続し、前記セラミック基板(7)に固着したランド、(11-1)~(11-n)は例えばメモリ回路を形成した半導体基板、(12)はこの半導体基板(11-1)~(11-n)のそれぞれに形成した拡散層の電導経路、(13)はこの半導体基板(11-1)~(11-n)間に設け、その電導経路(12)間を電氣的に接続する半田またはAuのバンパである。

なお、前配半導体基板(11-1)~(11-n)に拡散層の電導経路12の形成する方法について第3図を参照して説明する。まず、 $\Sigma$ 形あるいは高抵抗の $\Pi$ 形シリコン基板14の全面に $\text{SiO}_2$ などの酸化膜16を形成したのち、拡散層の電導経路を形成する必要とする部分の表裏面に両面マスク合せ装置などを用いて酸化膜16を除去する。そして、この酸化膜16を除去した部分から比較的拡散係数の大きい

同志を接続する。また、第7図(a)および第7図(b)は共に電導経路12を形成する他の方法を示す断面図である。この方法は電導経路を形成しようとする位置に、シリコン基板14の裏面から、シリコンエッチングを施し、部分的に厚みの薄い領域をつくり、できる限り拡散層の電導経路12を薄くすることによつて、横方向の拡散拡がりを少なくするものである。この場合、電導経路の厚みが薄いため、p形のシリコン基板14に比較的拡散係数の小さなn形不純物であるP(りん)やAs(砒素)をイオン注入あるいは熱拡散によつて導入することができる。この場合も、第5図に示すように、貫通する電導経路の両端に、例えば半田あるいは金などの金属によるバンプを形成し、上層および下層のシリコン基板14のチップとを電気的に接続することができる。また、この電導経路の他の形成方法としては拡散による横方向への拡がりをなくするため、電界中で拡散させて、拡散の方向を縦方向にのみ増進させてもよいこと知られている。

アルミニウムなどを選択拡散して、 $\square$ 形シリコン基板10の裏面両面より深さ方向にp形の電導経路12を形成することができる。この電導経路12は、p形領域になるが、基板が $\square$ 型あるいは $\square$ 形のため、基板に対して負の電位である限り、逆バイアス状態となつて、電流が流れないので、電導経路となる。しかし、例えばpチャネルMOSトランジスタによつて集積回路が形成される場合、基板は通常p形でなければならないので、第4図に示すように、この電導経路を除いて、活性領域10をp形にする。例えばp形不純物のイオン打込み、あるいはp形不純物の拡散によつて、p形層を容易に形成することができる。また、電導経路12の終端は第5図に示すように、電導経路12となる拡散領域上にアルミニウム電極17およびCr/Cu膜18を形成したのち、バンプ13を形成し、酸化膜19上に保護膜( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ )19を形成する。そして、このように、電導経路12を形成したシリコンチップを2枚積層する場合には第6図に示すように、上面位置合せ装置などによつて、対向するバンプ13

このように、半導体基板に、その深さ方向に貫通する電導経路を形成し、その上にバンパ13を敷いたので、第2図に示すように、半導体基板(11-1 ~ (11-n))をN枚積層しても、その半導体基板間14、第6図、第7図(a)あるいは第7図(b)に示すように相互に接続することができる。

なお、上記実施例では積層する半導体基板の数を  $N$  としたが、 $N = 2$  以上であれば任意の数といふことはもちろんである。また、シリコン基板を基体とする集積回路にメモリ回路を設ける場について説明したが、 $GaAs$  などの化合物半導体を基板とする集積回路についても同様に行うことはもちろんである。

以上、詳細に説明したように、この発明によれば半導体装置によれば(A)配線長が短くなるので浮遊容量が低下し、高速化が可能になる、(B)の半導体基板がチップの段階でテストができるので、良品チップであることを確認できるので故障率しても良品率を高く維持することができ、(C)フリップ・チップ・ボンディングであるか

配線接続の信頼性が高く、コストの低減に適する、  
(D)シリコン基板などの半導体基板を任意の数だけ  
積層することができるため、単位面積当りの集積  
度を高密度化することができ、システム自体の容  
積を小さくすることができるなどの効果がある。

#### 4. 図面の簡単な説明

第1図は従来の半導体装置を示す断面側面図、  
第2図はこの発明に係る半導体装置の一実施例を  
示す概略断面図、第3図は第2図の電導経路の形  
成方法を説明するための図、第4図は $\pi$ 形あるいは  
 $\alpha$ 形のシリコン基板に電導経路を形成する場合  
を示す図、第5図は第2図の電導経路の詳細な断  
面図、第6図は2枚のシリコンチップを積層した  
場合を示す詳細な断面図、第7図(a)および第7図  
(b)はそれぞれ2枚のシリコンチップを積層した他  
の例を示す断面図である。

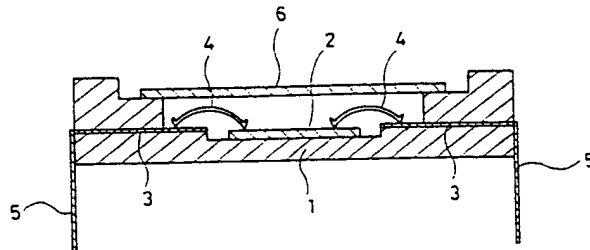
(1)・・・セラミック基板あるいはプラスチック  
パッケージ、(2)・・・チップ、(3)・・・内  
部リード、(4)・・・金線、(5)・・・外部リ  
ード、(6)・・・封止蓋、(7)・・・セラミック基

板、(8)・・・スルーホール、(9)・・・外部リ  
ード線、(10)・・・ランド、(11-1)～(11-n)・・・  
半導体基板、(12)・・・電導経路、(13)・・・  
パンプ、(14)・・・シリコン基板、(15)・・・  
酸化膜、(16)・・・活性領域、(17)・・・アルミ  
ニウム電極、(18)・・・Cr/Cu膜、(19)・・・  
保護膜。

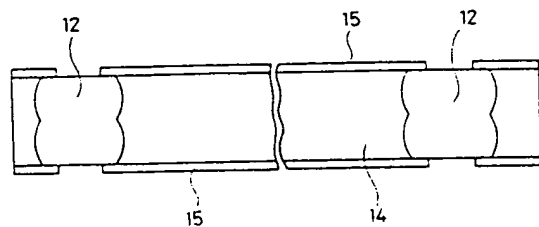
なお、同一符号は同一または相当部分を示す。

代理人 葛野 信一 (外1名)

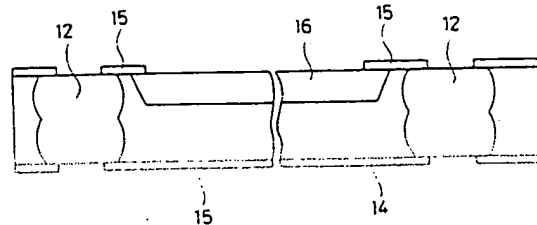
第 1 図



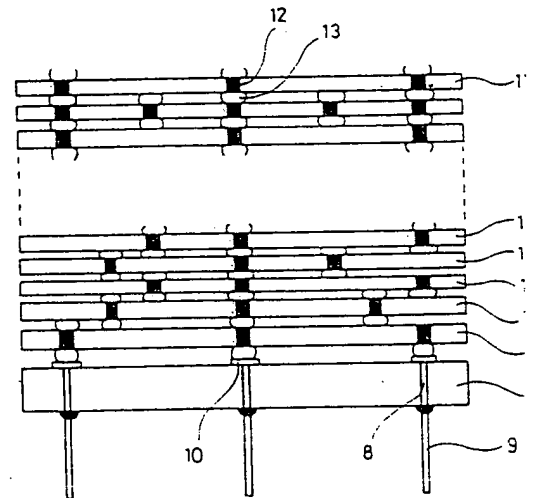
第 3 図



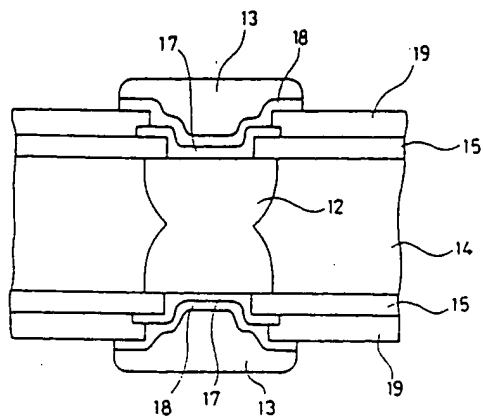
第 4 図



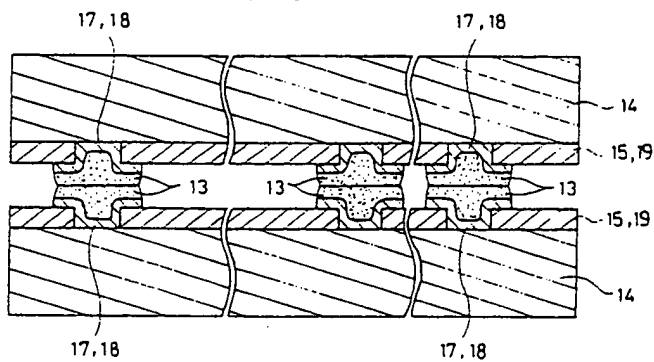
第 2 図



第 5 圖

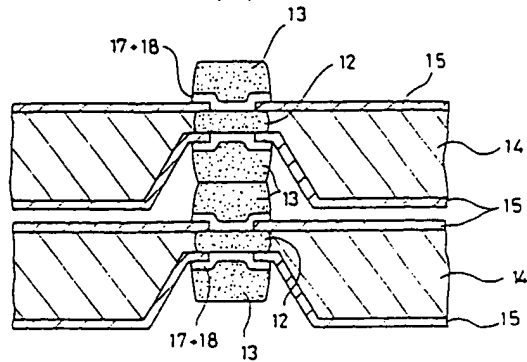


第 6 圖

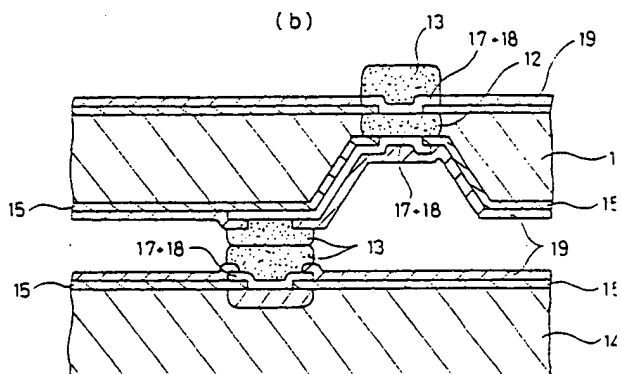


第 7 圖

(a)



(b)



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58043554 A**

(43) Date of publication of application: **14 . 03 . 83**

(51) Int. Cl. **H01L 25/04**  
**H01L 21/60**  
**// H01L 21/92**  
**H01L 27/12**

(21) Application number: **56141985**

(22) Date of filing: **08 . 09 . 81**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **SHIBATA HIROSHI**  
**NAKADA HIDEFUMI**

(54) **SEMICONDUCTOR DEVICE**

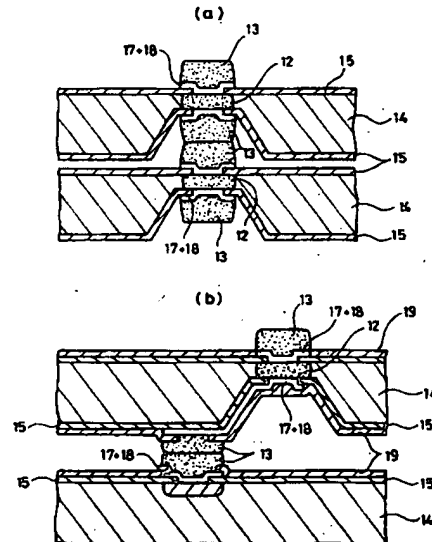
stacked.

(57) Abstract:

COPYRIGHT: (C)1983,JPO&Japio

PURPOSE: To obtain a semiconductor device having realized high integration density per unit area by stacking semiconductor substrates in three dimensions.

CONSTITUTION: A partially thin region is formed by executing the silicon etching from the rear surface of a silicon substrate 14 in the area where a conductive path is formed and the diffusion is suppressed by making thinner the conductive path 12 of the diffusion layer. Bumps are formed in both ends of the conductive path passing therethrough, the chips of the silicon substrates 14 of the upper and lower layers are electrically connected, the conductive path passing through the depth direction is formed on a semiconductor substrate, and a bump 13 is formed thereon. Thereby, the semiconductor substrates can be connected mutually even when the N sheets of semiconductor substrates are stacked. Accordingly, the wiring length becomes short and the floating capacitance can be lowered, high speed operation can be realized. Test can be done in the stage of a chip and as a result, high quality can be maintained even when the N sheets of substrates are



## ⑫ 公開特許公報 (A)

昭58-43554

⑪ Int. Cl.<sup>3</sup>

H 01 L 25/04

21/60

// H 01 L 21/92

27/12

識別記号

庁内整理番号

7638-5F

6819-5F

7638-5F

8122-5F

⑬ 公開 昭和58年(1983)3月14日

発明の数 1

審査請求 未請求

(全 4 頁)

## ⑭ 半導体装置

⑮ 特 願 昭56-141985

⑯ 出 願 昭56(1981)9月8日

⑰ 発 明 者 柴田浩

伊丹市瑞原4丁目1番地三菱電  
機株式会社エル・エス・アイ研  
究所内

⑱ 発 明 者 中田秀文

伊丹市瑞原4丁目1番地三菱電  
機株式会社エル・エス・アイ研  
究所内

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2  
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

半導体基板の深さ方向に、この半導体基板を貫通する拡散層の電導経路を形成し、上下方向に積層した半導体基板の所定導体間を前記電導経路によつて電気的に接続し、半導体基板を三次元的に積み重ねたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

この発明は機能素子を三次元的に積み重ねて、単位面積当りの集積度を高密度化することができる半導体装置に関するものである。

第1図は従来の半導体装置を示す断面側面図である。同図において、(1)はセラミック基板あるいはプラスチックパッケージ、(2)はこのセラミック基板あるいはプラスチックパッケージ(1)上に形成したメモリあるいは論理回路を形成したチップ、(3)は内部リード、(4)はチップ(2)に形成した図示せぬアルミニウムなどの電極パッドと内部リード(3)

とを接続する金線あるいはアルミニウム線などの接続リード、(5)は前記内部リード(3)に接続する外部リード、(6)は封着蓋である。

このように、従来の半導体装置では1チップを1セラミック容器あるいは1プラスチックパッケージ内に収納するものである。そこで、多数のチップを一枚のセラミックモジュールなどに収納して実装密度を上げる方法も実用化されている。しかし、この方法は平面上に、できるだけ多く密に配列して実装密度を上げるものであるため、その高密度化に限度がある欠点があつた。

したがつて、この発明の目的は半導体基板を三次元的に積層して、単位面積当りの集積度を高密度化する半導体装置を提供するものである。

このような目的を達成するため、この発明は半導体基板の深さ方向に、この半導体基板を貫通する拡散層の電導経路を形成し、上下方向に積層した半導体基板の所定導体間を前記電導経路によつて電気的に接続するものであり、以下実施例を用いて詳細に説明する。

第2図はこの発明に係る半導体装置の一実施例を示す縦断面図である。同図において、(7)はセラミック基板、(8)はこのセラミック基板(7)に形成したスルーホール、(9)はこのスルーホール(8)に接続し、前記セラミック基板(7)に固着した外部リード部、(10)はこのスルーホール(8)に接続し、前記セラミック基板(7)に固着したランド、(11-1)～(11-n)は例えばメモリ回路を形成した半導体基板、(12)はこの半導体基板(11-1)～(11-n)のそれぞれに形成した拡散層の電導経路、(13)はこの半導体基板(11-1)～(11-n)間に設け、その電導経路(12)間を電気的に接続する半田またはAuのバンプである。

なお、前記半導体基板(11-1)～(11-n)に拡散層の電導経路(12)の形成する方法について第3図を参照して説明する。まず、 $\pi$ 形あるいは高抵抗の $\pi$ 形シリコン基板(14)の全面に $\text{SiO}_2$ などの酸化膜(15)を形成したのち、拡散層の電導経路を形成する必要とする部分の表面に両面マスク合せ装置などを用いて酸化膜(15)を除去する。そして、この酸化膜(15)を除去した部分から比較的拡散係数の大きい

同志を接続する。また、第7図(a)および第7図(b)は共に電導経路(12)を形成する他の方法を示す断面図である。この方法は電導経路を形成しようとする位置に、シリコン基板(14)の表面から、シリコンエッチングを施し、部分的に厚みの薄い領域をつくり、できる限り拡散層の電導経路(12)を得くすることによつて、横方向の拡散拡がりを少なくするものである。この場合、電導経路の厚みが薄いため、 $p$ 形のシリコン基板(14)に比較的拡散係数の小さな $\pi$ 形不純物である $P$ (りん)や $As$ (砒素)をイオン注入あるいは熱拡散によつて導入することができる。この場合も、第5図に示すように、貫通する電導経路の両端に、例えば半田あるいは金などの金属によるバンプを形成し、上層および下層のシリコン基板(14)のチップとを電気的に接続することができる。また、この電導経路の他の形成方法としては拡散による横方向への拡がりをなくすため、電界中で拡散させて、拡散の方向を縦方向のみ増進させてもよいことからもなる。

アルミニウムなどを選択拡散して、 $\pi$ 形シリコン基板(14)の表面両面より深さ方向に $p$ 形の電導経路(12)を形成することができる。この電導経路(12)は $p$ 形領域になるが、基板が $\pi$ 形あるいは $\pi$ 形のため、基板に対して負の電位である限り、逆バイアス状態となつて、電流が流れないので、電導経路となる。しかし、例えば $\pi$ チャネルMOSトランジスタによつて集積回路が形成される場合、基板は通常 $p$ 形でなければならないので、第4図に示すように、この電導経路を除いて、活性領域(16)を $p$ 形にする。例えば $p$ 形不純物のイオン打込み、あるいは $p$ 形不純物の拡散によつて、 $p$ 形層を容易に形成することができる。また、電導経路(12)の終端は第5図に示すように、電導経路(12)となる拡散領域上にアルミニウム電極(17)および $Cr/Cu$ 膜(18)を形成したのち、バンプ(13)を形成し、酸化膜(15)上に保護膜( $\text{SiO}_2, \text{Si}_3\text{N}_4$ )(19)を形成する。そして、このように、電導経路(12)を形成したシリコンチップを2枚積層する場合には第6図に示すように、 $\pi$ 面位置合せ装置などによつて、対向するバンプ(13)

このように、半導体基板に、その深さ方向に貫通する電導経路を形成し、その上にバンプ(13)を積層したので、第2図に示すように、半導体基板(11-1)～(11-n)を $N$ 枚積層しても、その半導体基板間(1)第6図、第7図(a)あるいは第7図(b)に示すように相互に接続することができる。

なお、上記実施例では積層する半導体基板の数を $N$ としたが、 $N=2$ 以上であれば任意の数をよいとすることはもちろんである。また、シリコンを基板とする集積回路にメモリ回路を設ける場について説明したが、 $GaAs$ などの化合物半導体を基板とする集積回路についても同様にできることはもちろんである。

以上、詳細に説明したように、この発明によれば(ア)配線長が短くなるので半導体装置によれば(イ)配線長が短くなるので(イ)浮遊容量が低下し、高速化が可能になる、(ロ)の半導体基板がチップの段階でテストができる、良品チップであることを確認できるので(ロ)良品率を高く維持することができ、(ハ)フリップ・チップ・ボンディングであるか



配線接続の信頼性が高く、コストの低減に適する、  
(D)シリコン基板などの半導体基板を任意の数だけ積層することができるため、単位面積当りの集積度を高密度化することができ、システム自体の容積を小さくすることができるなどの効果がある。

#### 4. 図面の簡単な説明

第1図は従来の半導体装置を示す断面側面図、第2図はこの発明に係る半導体装置の一実施例を示す概略断面図、第3図は第2図の電導経路の形成方法を説明するための図、第4図は $\pi$ 形あるいは $\alpha$ 形のシリコン基板に電導経路を形成する場合を示す図、第5図は第2図の電導経路の詳細な断面図、第6図は2枚のシリコンチップを積層した場合を示す詳細な断面図、第7図(a)および第7図(b)はそれぞれ2枚のシリコンチップを積層した他の例を示す断面図である。

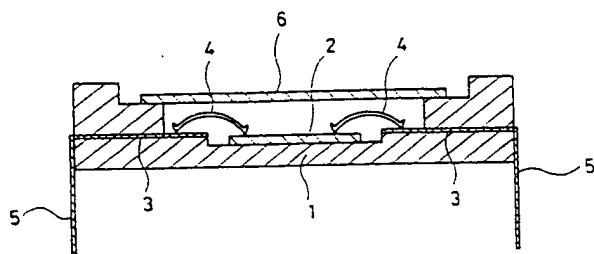
(1)・・・セラミック基板あるいはプラスチックパッケージ、(2)・・・チップ、(3)・・・内部リード、(4)・・・金線、(5)・・・外部リード、(6)・・・封止蓋、(7)・・・セラミック基

板、(8)・・・スルーホール、(9)・・・外部リード線、(10)・・・ランド、(11-1)～(11-n)・・・半導体基板、(12)・・・電導経路、(13)・・・パンプ、(14)・・・シリコン基板、(15)・・・酸化膜、(16)・・・活性領域、(17)・・・アルミニウム電極、(18)・・・Cr/Cu膜、(19)・・・保護膜。

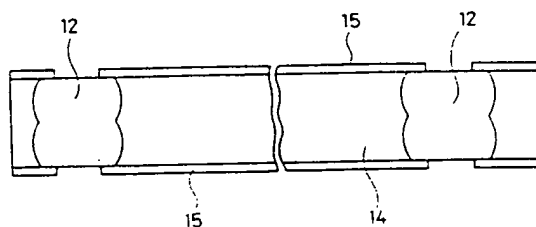
なお、同一符号は同一または相当部分を示す。

代理人 葛野 信一 (外1名)

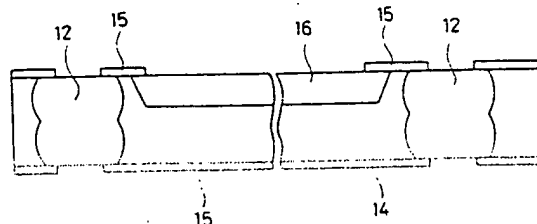
第1図



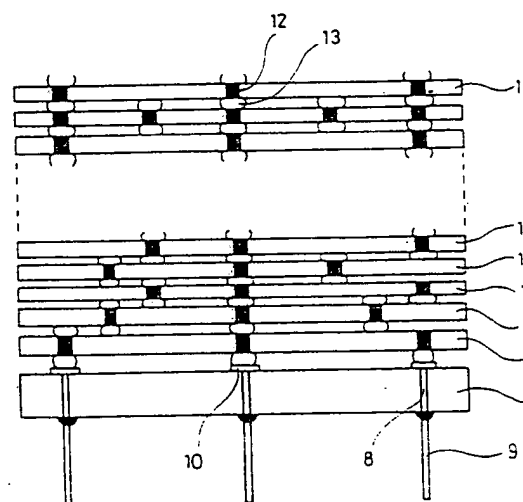
第3図



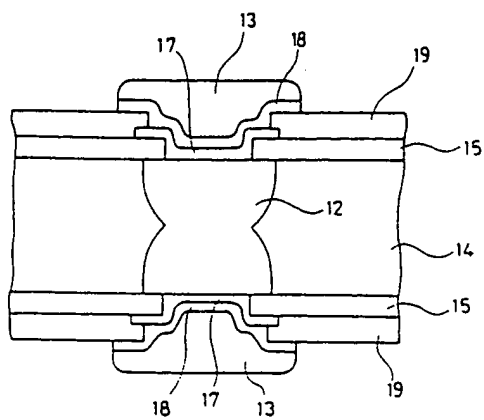
第4図



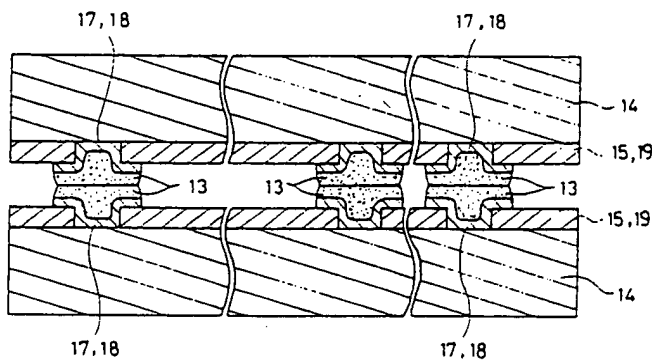
第2図



第 5 圖



第 6 圖



第 7 圖

